



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001118390 A

(43) Date of publication of application: 27.04.01

(51) Int. Cl. G11C 16/02

(21) Application number: 11293027

(71) Applicant: FUJITSU LTD

(22) Date of filing: 14.10.99

(72) Inventor: KAWAMURA SHOICHI

(54) NON-VOLATILE MEMORY CIRCUIT RECORDING  
MULTI-BIT INFORMATION

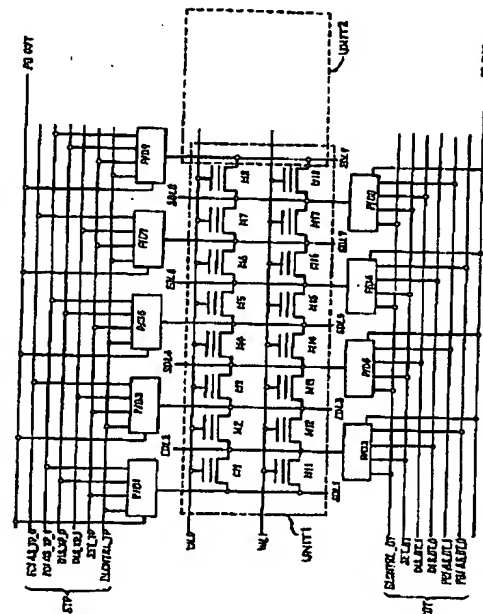
COPYRIGHT: (C)2001,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a cell array constitution which can read out plural data simultaneously in a multi-bit non-volatile memory circuit consisting of cell transistors having trap gates of non-conductivity.

**SOLUTION:** In a non-volatile memory circuit in which plural cell transistors M having trap gates TG of non-conductivity are arranged, the circuit has plural source/drain lines SDL connected commonly to source/drain regions SD1, SD2 of cell transistors being adjacent in the direction of row, this adjacent source/drain lines are made a floating state F, a read-out voltage applying state BL, a reference voltage state OV, and a read-out voltage state BL, a source/drain line SDL being in a read-out voltage state is functioned as a bit line. and plural data are read out simultaneously. The above mentioned state is generated by a page buffer P/B connected to a source/drain line. Read-out and holding of data are performed by the page buffer.

実施の形態のセルアレイ構成図



(51) Int.Cl.<sup>7</sup>

G 1 1 C 16/02

図別記号

F I

G 1 1 C 17/00

特開2001-118390

6 1 3

5 B 0 2 5

6 4 1

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号

特開平11-293027

(22) 出願日

平成11年10月14日 (1999. 10. 14)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 河村 孝一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100094525

弁護士 土井 健二 (外1名)

Fターム(特許): 5B025 A407 A401 A405 A405

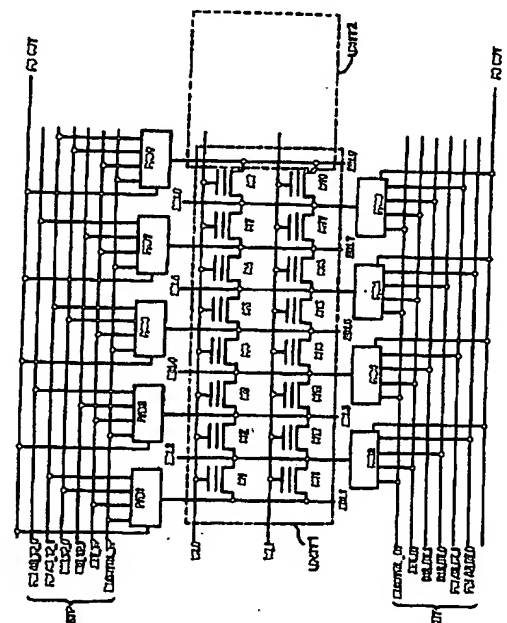
(54) 【発明の名称】 多ビット情報を記憶する不揮発性メモリ回路

(57) 【要約】

【課題】 非導電性のトラップゲートを有するセルトランジスタからなる多ビット不揮発性メモリ回路において、複数のデータを同時に読み出すことができるセルアレイ構成を提供する。

【解決手段】 本発明は、非導電性のトラップゲートTGを有するセルトランジスタMを複数配置した不揮発性メモリ回路において、行方向に隣接するセルトランジスタのソース・ドレイン領域SD1、SD2に共通に接続される複数のソース・ドレイン線SDLを有し、この隣接するソース・ドレイン線を、フローティング状態F、読み出し電圧印加状態BL、基準電圧状態OV、読み出し電圧状態BL、及びフローティング状態Fにし、読み出し電圧状態になっているソース・ドレイン線SDLをビット線として機能させ、複数のデータを同時に読み出すようにする。上記の状態は、ソース・ドレイン線に接続されたページバッファP/Bにより生成される。データの読み出しと保持が、ページバッファにより行われる。

図1 実施例のセルアレイ構成図



## 【特許請求の範囲】

【請求項1】多ビット情報を記録する不揮発性メモリ回路において、

基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に順に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、前記トラップゲートの少なくとも両端に局所的に電荷をトラップしてデータを記録する、複数のセルトランジスタと、

行方向に配置された前記複数のセルトランジスタのコントロールゲートに接続された複数のワード線と、前記行方向に隣接する前記セルトランジスタのソース・ドレイン領域に共通に接続された複数のソース・ドレイン線と、

前記複数のソース・ドレイン線にそれぞれ接続され、隣接するソース・ドレイン線群内の各ソース・ドレイン線に対して、順番にフローティング状態、読み出し電圧状態、基準電圧状態、読み出し電圧状態、フローティング状態の組み合わせを提供し、前記読み出し電圧状態のソース・ドレイン線から前記記録データを読み出す複数のページバッファとを有することを特徴とする不揮発性メモリ回路。

【請求項2】請求項1において、前記複数のページバッファは、前記組み合わせを提供される前記隣接するソース・ドレイン線群を所定の順番でシフトすることを特徴とする不揮発性メモリ回路。

【請求項3】請求項1において、前記複数のページバッファは、奇数番目の前記ソース・ドレイン線を両端に有する第1の隣接ソース・ドレイン線群と偶数番目の前記ソース・ドレイン線を両端に有する第2の隣接ソース・ドレイン線群とに、前記組み合わせを提供する毎に、前記読み出した記録データを出力することを特徴とする不揮発性メモリ回路。

【請求項4】請求項1において、前記複数のページバッファは、隣接する9本のソース・ドレイン線間にそれぞれ接続される8個のセルトランジスタを有するセルトランジスタユニットに対して、前記組み合わせを所定の順番でシフトし、シフトする毎に読み出された4ビットずつの記録データを保持することを特徴とする不揮発性メモリ回路。

【請求項5】請求項4において、前記複数のページバッファは、奇数番目の前記ソース・ドレイン線を両端に有する第1の隣接ソース・ドレイン線群と偶数番目の前記ソース・ドレイン線を両端に有する第2の隣接ソース・ドレイン線群とに、前記組み合わせを提供する毎に、前記保持した8ビットの記録データを適宜出力することを特徴とする不揮発性メモリ回路。

【請求項6】請求項4又は5において、複数の前記セルトランジスタユニットが、配置されていることを特徴とする不揮発性メモリ回路。

【請求項7】請求項6において、

前記トランジスタセルユニットの一端のソース・ドレイン線は、隣接するトランジスタセルユニットの一端のソース・ドレイン線と共有されることを特徴とする不揮発性メモリ回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非導電性のトラップゲートを有して多ビットのデータを記憶することができるセルトランジスタよりなる不揮発性メモリ回路に関し、特に、多数のセルトランジスタから同時に記憶データを読み出すことができるセルアレイ構成を有する不揮発性メモリ回路に関する。

【0002】

【従来の技術】半導体を利用した不揮発性メモリは、電源をオフにしても情報を保持することができ、且つ高速読み出しができることから、情報記録媒体として広く利用されている。近年においては、携帯情報端末に利用されたり、デジタルカメラやMP3データのデジタルミュージックなどの記録媒体として利用されている。

【0003】現在普及しているフラッシュメモリなどの不揮発性メモリは、ソース、ドレイン領域の間のチャネル領域上に、導電性のフローティングゲートとコントロールゲートを有する構造である。かかる不揮発性メモリは、フローティングゲートがゲート絶縁膜内に埋め込まれて構成され、このフローティングゲートに電荷（チャージ）を注入する、しないにより、1ビットの情報を記憶する。かかる普及型の不揮発性メモリは、フローティングゲートが導電性であるので、ゲート酸化膜にわずかも欠陥が存在すると、その欠陥を通じてフローティングゲート内の電子が全て消失してしまい、信頼性を高くできない問題がある。

【0004】上記の普及型の不揮発性メモリとは別に、フローティングゲートの代わりに非導電性のチャージトラップゲートを設けて、トラップゲートのソース側及びドレイン側に局所的にチャージをトラップさせて、2ビットの情報を記憶する新しいタイプの不揮発性メモリが提案されている。例えば、PCT出願、WO99/07000

「Two Bit Non-Volatile Electrically Erasable and Programmable Semiconductor Memory Cell Utilizing Asymmetrical Charge Trapping」にかかる不揮発性メモリが記載されている。この不揮発性メモリは、トラップゲートが非導電性であるので、局所的に注入した電子が消失する確率は低く、信頼性を高くすることができる。

【0005】図1は、上記従来の2ビット不揮発性メモリのセルトランジスタの構成を示す図である。図1

(1)はその断面図であり、図1(2)はその等価回路図である。シリコン基板1の表面に、ソース・ドレイン領域SD1、SD2が形成され、シリコン窒化膜などで形成されるトラップゲートTGと導電材料のコントロー

ルゲートCGがチャンネル領域上に形成される。トラップゲートTGは、シリコン酸化膜などの絶縁膜2内に埋め込まれていて、全体でMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 構造になる。シリコン窒化膜とシリコン酸化膜とのバンドギャップの差を利用して、シリコン窒化膜にチャージをトラップさせて保持させることができる。

【0006】この不揮発性メモリの特徴的な構成は、トラップゲートTGが、絶縁体、誘電体などの非導電性物質からなり、このトラップゲートTGにチャージを注入した場合、トラップゲート内をチャージが移動することができない。従って、第1のソース・ドレイン領域SD1の近傍にチャージを注入した場合と、第2のソース・ドレイン領域SD2の近傍にチャージを注入した場合とを区別することができ、2ビットのデータを記録することができる。

【0007】図1(2)は、上記の2ビット不揮発性メモリの等価回路図である。トラップゲートTGが、非導電性であるので、第1のソース・ドレイン領域SD1の近傍の第1のトラップゲート領域TSD1と、第2のソース・ドレイン領域SD2の近傍の第2のトラップゲート領域TSD2とに、別々のMOSトランジスタが形成されている構成と等価になる。そして、後述する読み出しやプログラム(書き込み)動作では、第1及び第2のソース・ドレイン領域SD1、SD2は、一方がソース領域としてまたはドレイン領域として利用されるので、本明細書では、それぞれ、第1のソース・ドレイン領域SD1、第2のソース・ドレイン領域SD2と称する。

【0008】図2は、従来の2ビット不揮発性メモリのプログラム、消去及び読み出しを説明するための図である。第1のソース・ドレイン領域SD1に印加される電圧をV(SD1)、第2のソース・ドレイン領域SD2に印加される電圧をV(SD2)、コントロールゲートCGに印加される電圧をVgとする。

【0009】図2(1)に示される通り、不揮発性記憶メモリのプログラム(書き込み)は、例えばVg=10V、V(SD1)=0V、V(SD2)=6Vを印加し、第2のソース・ドレイン領域SD2の近傍で発生したホット・エレクトロンを、第2のソース・ドレイン領域SD2に近い第2のトラップゲート領域TSD2中に注入することにより行われる。

【0010】また、消去動作では、図2(2)に示される通り、コントロールゲートCGにVg=-5V、第1または第2のソース・ドレイン領域SD1またはSD2、もしくはその両方に5Vを印加し、FNトンネル(ファウラー・ノルドハイム・トンネル)現象を利用してトラップゲートTG中から電子を引き抜く。同時にソース・ドレイン領域SD1、SD2の近傍で発生したホット・ホールをトラップゲートTGに注入することにより、トラップゲートTG中の電荷を中和する。

【0011】次に、読み出しは、第1及び第2のソース

・ドレイン領域SD1、SD2間に、プログラムとは反対方向の電圧を印加し、第2のトラップゲート領域TSD2に電子がトラップされているか否かを検出する。即ち、第2のトラップゲート領域TSD2の状態を読み出すためには、例えばVg=3V、V(SD1)=1.6V、V(SD2)=0Vを印加する。ここで、図2(3)のように、第2のソース・ドレイン領域SD2付近の第2のトラップゲート領域TSD2に電子が存在すると、ゲート下のチャンネルが第2のソース・ドレイン領域SD2までつながらず、チャンネル電流が流れない(0データ格納状態)。逆に図2(4)のように、第2のソース・ドレイン領域SD2付近の第2のトラップゲート領域TSD2に電子が存在しなければ、チャンネルが第2のソース・ドレイン領域SD2までつながり、チャンネル電流が流れる(1データ格納状態)。こうして、第2のトラップゲート領域TSD2に電子が蓄積されているか否かを、セルトランジスタのオン・オフ、つまり電流の有無で検出することができる。

【0012】また、不揮発性記憶メモリの読み出しにおいて、図2(5)のように、Vg=3V、V(SD1)=0V、V(SD2)=1.6Vとして、第1及び第2のソース・ドレイン領域間の電圧印加状態を上記図2(3)と逆にすると、仮に第2のトラップゲート領域TSD2に電子が存在しても、チャンネルがピンチ・オフしたMOSトランジスタと同じ状態になり、第2のソース・ドレイン領域と基板間に広がる空乏層によって、チャンネル電流が流れる。従って、このような電圧印加状態では、第1のソース・ドレイン領域SD1付近の第1のトラップゲート領域TSD1に電子が蓄積されているか否かを、第2のトラップゲート領域TSD2の電子の有無にかかわらず検出することができる。

【0013】上記の通り、従来のメモリでは、第1のソース・ドレイン領域SD1付近の窒化膜の領域TSD1と第2のソース・ドレイン領域SD2付近の窒化膜の領域TSD2に電子を蓄積したりしなかったりすることで、2ビットの情報を記録することができ、大容量化やチップ面積縮小による1チップあたりのコスト削減に有利である。

【0014】図3は、上記の不揮発性メモリの2ビットの情報を記録した状態を示す図である。図中、黒丸は電子を示す。図3(1)は、第1及び第2のトラップゲート領域TSD1、TSD2のいずれにも電子が捕獲されていない状態で、データ=11を示す。図3(2)は、第2のトラップゲート領域TSD2に電子が捕獲されている状態で、データ=01を示す。図3(3)は、第1及び第2のトラップゲート領域TSD1、TSD2に電子が捕獲されている状態で、データ=00を示し、更に、図3(4)は、第1のトラップゲート領域TSD1に電子が捕獲されている状態で、データ=10を示す。

【0015】図4は、従来のメモリセルアレイの構成を示す図である。2ビット記録可能な不揮発性メモリは、

上記の通り、セルトランジスタのソース・ドレイン領域の一方から他方に電圧を印加して、所望のデータの読み出しを行う。従って、同じセルトランジスタに対して、両方向に電圧を印加することができ、両側のソース・ドレイン領域に接続される2本のソース・ドレイン線それぞれからデータの読み出しを行う必要がある。

【0016】図4に示した従来例では、4本のワード線WL0〜WL3と、それらのワード線にコントロールゲートがそれぞれ接続されるセルトランジスタM1〜M8とが設けられる。そして、大容量化のために、隣接するセルトランジスタのソース・ドレイン領域は共有され、共通のソース・ドレイン線SDL0〜SDL7が接続される。そして、4個のセルトランジスタ毎に1対のコラム線L1、L2及びL3、L4と、それらとソース・ドレイン線SDL0〜SDL7とを接続する1組4個の選択トランジスタQ1〜Q4が設けられる。選択信号SEL1〜SEL4にตอบสนองして、選択トランジスタQ1〜Q4のいずれかが導通して、コラム線L1〜L4が適宜ソース・ドレイン線に接続される。

【0017】図5は、図4の動作を説明する図表である。セルトランジスタM1を選択する時は、図5に示される通り、選択信号SEL1とSEL3をLレベルにしてトランジスタQ1、Q3を非導通にし、選択信号SEL2とSEL4をHレベルにしてトランジスタQ2、Q4を導通する。その結果、セルトランジスタM1のソース・ドレイン線SDL0、SDL1は、それぞれコラム線L1、L2に接続される。そこで、コラム線L2に0Vを印加し、コラム線L1にビット線として所定の読み出し電圧(1.6V)を印加すると、セルトランジスタM1に対して、左側から右側に電圧が印加され、コラム線L1に電流が流れるか否かを図示しないセンスアンプ回路により検出することができる。

【0018】この時、セルトランジスタM5のソース・ドレイン線SDL4、SDL5もコラム線L3、L4に接続される。しかし、ワード線WL0の選択により、同時に選択されるセルトランジスタM2、M3、M4が、導通する又はリーク電流を発生することに伴い、セルトランジスタM1の読み出しが適切に行えなくなる可能性がある。従って、それを防止するために、コラム線L3、L4は共にフローティング状態にされる。

【0019】かくして、ワード線WL0を選択して読み出されるデータは、セルトランジスタM1の一方の記憶データだけとなる。選択信号をそのままの状態にして、コラム線L1に0Vを印加し、コラム線L2に所定の電圧(1.6V)を印加すると、セルトランジスタM1のもう一方の記憶データを読み出すことができる。いずれにしても、選択信号SEL1〜SEL4を駆動して、1個のセルトランジスタの2ビットのデータが読み出されるにすぎない。

【0020】4組のセルトランジスタのうち、残りのセルトランジスタM2、M3、M4の読み出しは、図5に

示される通り、上記と同様である。この場合も、ワード線WL0の選択にตอบสนองして、各セルトランジスタの記憶データが1個ずつ読み出される。

【0021】

【発明が解決しようとする課題】非導電性のトラップゲートを有する2ビット不揮発性メモリは、普及型のフラッシュメモリに比較して、2ビットのデータを記憶することができるので、大容量メモリに好適である。しかし、一方で、その読み出し動作は、読み出したいデータによって、ソース・ドレイン領域に印加する電圧の方向が逆になるので、図4、5に示した通り、読み出し回路が複雑であり、且つ読み出しのスループットが悪いという課題がある。

【0022】そこで、本発明の目的は、読み出しのスループットを高くした多ビット不揮発性メモリ回路を提供することにある。

【0023】更に、本発明の目的は、1本のワード線の選択に伴って、複数のセルトランジスタの記憶データを同時に読み出すことができる多ビット不揮発性メモリ回路を提供することにある。

【0024】更に、本発明の目的は、高速読み出しを可能にしたセルアレイ構造を有する多ビット不揮発性メモリ回路を提供することにある。

【0025】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、非導電性のトラップゲートを有するセルトランジスタを複数配置した不揮発性メモリ回路において、行方向に隣接するセルトランジスタのソース・ドレイン領域に共通に接続される複数のソース・ドレイン線を有し、この隣接するソース・ドレイン線を、フローティング状態、読み出し電圧印加状態、基準電圧状態、読み出し電圧状態、及びフローティング状態にし、読み出し電圧状態になっているソース・ドレイン線をビット線として機能させ、複数のデータを同時に読み出すようにする。

【0026】本発明の好ましい実施の形態では、上記の5つの状態のソース・ドレイン線群を、順次シフト又は移動させることで、セルトランジスタに記録されている多ビットのデータを高速に読み出すことができ、読み出しのスループットを向上させることができる。

【0027】上記の目的を達成するために、本発明の別の側面は、多ビット情報を記録する不揮発性メモリ回路において、基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に順に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、前記トラップゲートの少なくとも両端に局所的に電荷をトラップしてデータを記録する、複数のセルトランジスタと、行方向に配置された前記複数のセルトランジスタのコントロールゲートに接続された複数のワード線と、前記行方

向に隣接する前記セルトランジスタのソース・ドレイン領域に共通に接続された複数のソース・ドレイン線と、前記複数のソース・ドレイン線にそれぞれ接続され、隣接するソース・ドレイン線群内の各ソース・ドレイン線に対して、順番にフローティング状態、読み出し電圧状態、基準電圧状態、読み出し電圧状態、フローティング状態の組み合わせを提供し、前記読み出し電圧状態のソース・ドレイン線から前記記録データを読み出す複数のページバッファとを有することを特徴とする。

【0028】更に上記の発明の好ましい実施の態様では、前記複数のページバッファは、前記組み合わせを提供される前記隣接するソース・ドレイン線群を所定の順番でシフトすることを特徴とする。

【0029】これにより、セルトランジスタの多ビットのデータを全て適宜読み出すことができる。

【0030】更に上記の発明の好ましい実施の態様では、前記複数のページバッファは、奇数番目の前記ソース・ドレイン線を両端に有する第1の隣接ソース・ドレイン線群と偶数番目の前記ソース・ドレイン線を両端に有する第2の隣接ソース・ドレイン線群とに、前記組み合わせを提供する毎に、前記読み出した記録データを出力することを特徴とする。

【0031】第1の隣接ソース・ドレイン線群と第2の隣接ソース・ドレイン線群とに上記の組み合わせを提供することにより、例えば8個の隣接するセルトランジスタ群内の記録データが8ビット、ページバッファに読み出される。その段階で、適宜ページバッファ内のデータを出力することが好ましい。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0033】本発明の実施の形態例は、2ビットを記憶することができるセルトランジスタを複数有する不揮発性メモリ回路である。かかるセルトランジスタは、図1、2、3にて説明した従来のセルトランジスタと同じである。即ち、非導電性のトラップゲートの両端に電子をトラップする可否により、1個のセルトランジスタに2ビットの情報を記録することができる。従って、このセルトランジスタに対するプログラム（書き込み）、消去、読み出し動作は、図2に示した通りであり、ここでは繰り返して説明しない。

【0034】図6は、かかるセルトランジスタを複数、マトリクス状に配置した本実施の形態例のセルアレイ構成図である。図6に示されたセルアレイは、行方向に延びる2本のワード線WL0、WL1が配置され、ワード線に交差し列方向に延びる9本のソース・ドレイン線SDL1～SDL9が配置される。ワード線WL0には、セルトランジスタM1～M9のコントロールゲートがそれぞれ接続され、セルトランジスタM1～M9は、それぞれ、隣接するセ

ルトランジスタとソース・ドレイン端子が共通接続され、かかるソース・ドレイン端子にソース・ドレイン線SDL1～SDL9が共通に接続される。ワード線WL1には、同様にセルトランジスタM11～M19のコントロールゲートが接続され、それらのセルトランジスタも、隣接するセルトランジスタとソース・ドレイン端子を共通接続され、それに共通のソース・ドレイン線SDL1～SDL9が接続される。従って、全てのセルトランジスタは、コントロールゲートがワード線に接続され、ソース・ドレイン端子はソース・ドレイン線にそれぞれ接続される。

【0035】奇数番目のソース・ドレイン線SDL1、SDL3…SDL9は、図6の上側に配置したページバッファP/B1、P/B3…P/B9にそれぞれ接続される。また、偶数番目のソース・ドレイン線SDL2、SDL4…SDL8は、図6の下側に配置したページバッファP/B2、P/B4…P/B8にそれぞれ接続される。これらのページバッファは、それぞれの制御信号群STP、SBTに応答して、接続されるソース・ドレイン線を、読み出し電圧が印加されてビット線の如く機能させる読み出し電圧状態（BL）と、読み出し基準電圧である0Vが印加される基準電圧状態（0V）と、フローティング状態（F）とのいずれかの状態にする。

【0036】セルトランジスタは、接続されるソース・ドレイン線が読み出し電圧状態（BL）と基準電圧状態（0V）とにされると、読み出し電圧状態にされているソース・ドレイン線を経由して、それに接続されるページバッファにより記録データが読み出される。また、セルトランジスタは、接続されるソース・ドレイン線のいずれか一方が、フローティング状態（F）にされると、隣接するセルトランジスタの読み出し動作に何ら影響を与えない状態になる。

【0037】各ページバッファは、接続されたソース・ドレイン線SDLを上記の読み出し電圧状態（BL）にすることで、そのソース・ドレイン線SDLに接続されたセルトランジスタの記録データを読み出し、保持する機能を有する。そして、その保持された読み出しデータは、図示しない読み出し制御信号と選択信号に応答して、出力データバスPBoutに出力される。

【0038】図6に示されたセルアレイには、ワード線WL0に対して8個のセルトランジスタが接続される。従って、ワード線WL0の選択によって、合計で16ビットの記憶データを読み出すことができる。但し、8個のセルトランジスタに対して、9本のソース・ドレイン線及び9個のページバッファしか設けられていないので、上記の16ビットの記録データは、8ビットずつ読み出され、保持される。保持された8ビットの読み出しデータは、適宜出力バスPBoutから出力される。更に、後述する通り、1本のワード線を選択した時に、各ソース・ドレイン線を制御することにより、同時に4ビットのデータをページバッファに読み出すことができ、従って、2サイクルにより8ビットのデータを読み出し、4サイク



ルで8個のセルトランジスタの16ビットのデータを読み出すことができる。

【0039】但し、1本のワード線に接続されるセルトランジスタの数は、8個に限定されない。好ましくは、8個の単位で、セルトランジスタユニットUNIT1、UNIT2が複数ユニット配置される。その場合、図6に示される通り、隣接するトランジスタユニットUNIT1、UNIT2は、それぞれ一端のソース・ドレイン線SDL9が共有されることが好ましい。

【0040】図7は、読み出し時におけるソース・ドレイン線の電圧状態を示す図表である。更に、図8は、読み出し時におけるセルアレイの動作を説明する図である。8個のセルトランジスタに対しては、図7及び図8に示される読み出しサイクル(1)～(4)毎にそれぞれ4ビットずつ同時にページバッファに読み出すことができ、4サイクルで16ビットのデータを読み出すことができる。

【0041】図7の読み出しサイクル(1)～(4)は、図8の読み出しサイクル(1)～(4)に対応する。この例では、上記の通り、1回のページリードで8ビットのデータを読み出す。そして、各ページリードは、2つの読み出しサイクルで構成される。

【0042】読み出しサイクル(1)では、ソース・ドレイン線SDL1～SDL9が、それぞれのページバッファによって、

SDL1～SDL9=0V、BL、F、BL、0V、BL、F、BL、0Vの状態にされる。ここで、0Vは基準電圧状態、BLは読み出し電圧状態、Fはフローティング状態をそれぞれ意味する。その結果、図8(1)に矢印で示される電流の有無が、ページバッファP/B2、P/B4、P/B6、P/B8により検出される。即ち、セルトランジスタM1、M4、M5、M8において、読み出し電圧状態(BL)のソース・ドレイン線側のデータM1(SD1)、M4(SD2)、M5(SD1)、M8(SD2)が、ページバッファP/B2、P/B4、P/B6、P/B8により読み出され、保持される。読み出しサイクル(1)では、偶数番目のソース・ドレイン線が読み出し電圧状態にされることで、偶数番目のページバッファP/B2、P/B4、P/B6、P/B8が、それに対応するセルトランジスタの記録データを読み出し、保持する。

【0043】次に、読み出しサイクル(2)では、ソース・ドレイン線SDL1～SDL9が、それぞれのページバッファによって、

SDL1～SDL9=BL、0V、BL、F、BL、0V、BL、F、F(又はBL)の状態にされる。その結果、図8(2)に矢印で示される電流の有無が、ページバッファP/B1、P/B3、P/B5、P/B7により検出される。即ち、セルトランジスタM1、M2、M5、M6において、読み出し電圧状態のソース・ドレイン線側のデータM1(SD2)、M2(SD1)、M5(SD2)、M6(SD1)が、ページバッファP/B1、P/B3、P/B5、P/B7によ

り読み出され、保持される。読み出しサイクル(2)では、奇数番目のソース・ドレイン線が読み出し電圧状態にされることで、奇数番目のページバッファP/B1、P/B3、P/B5、P/B7が、それに対応するセルトランジスタの記録データを読み出し、保持する。

【0044】読み出しサイクル(1)(2)により、合計で8ビットからなる1ページ分の記録データが、8個のページバッファに読み出され保持される。つまり、読み出しサイクル(1)(2)により1回目のページリードが終了する。その後は、適宜、ページバッファを選択することにより、その保持されているデータが、出力バスPBoutに出力される。出力データバスPBoutを複数本にすることで、複数のデータを同時に出力することが可能になる。

【0045】次に2回目のページリード動作が必要に応じて行われる。2回目のページリード動作は、読み出しサイクル(3)(4)により行われる。読み出しサイクル(3)では、ソース・ドレイン線SDL1～SDL9が、それぞれのページバッファによって、

SDL1～SDL9=F、BL、0V、BL、F、BL、0V、BL、Fの状態にされる。その結果、図8(3)に矢印で示される電流の有無が、ページバッファP/B2、P/B4、P/B6、P/B8により検出される。即ち、セルトランジスタM2、M3、M6、M7において、読み出し電圧状態のソース・ドレイン線側のデータM2(SD2)、M3(SD1)、M6(SD2)、M7(SD1)が、ページバッファP/B2、P/B4、P/B6、P/B8により読み出され、保持される。このように、読み出しサイクル(3)では、偶数番目のソース・ドレイン線が読み出し電圧状態にされることで、偶数番目のページバッファP/B2、P/B4、P/B6、P/B8が、それらに対応するセルトランジスタの記録データを読み出し、保持する。

【0046】次に、読み出しサイクル(4)では、ソース・ドレイン線SDL1～SDL9が、それぞれのページバッファによって、

SDL1～SDL9=F(又はBL)、F、BL、0V、BL、F、BL、0V、BL

の状態にされる。その結果、図8(4)に矢印で示される電流の有無が、ページバッファP/B1、P/B3、P/B5、P/B7により検出される。即ち、セルトランジスタM3、M4、M7、M8において、読み出し電圧状態のソース・ドレイン線側のデータM3(SD2)、M4(SD1)、M7(SD2)、M8(SD1)が、ページバッファP/B1、P/B3、P/B5、P/B7により読み出され、保持される。読み出しサイクル(4)では、奇数番目のソース・ドレイン線が読み出し電圧状態にされることで、奇数番目のページバッファP/B1、P/B3、P/B5、P/B7が、それらに対応するセルトランジスタの記録データを読み出し、保持する。

【0047】読み出しサイクル(3)(4)により、合計で8ビットからなる1ページ分の記録データが8個のページバッファに読み出される。その後は、適宜出力バ

スPBout経由で出力される。

【0048】以上の通り、本実施の形態例では、1つのワード線を選択した時に、8個のセルトランジスタの内、4ビットのデータが同時にページバッファに読み出されることができる。従って、この8個のセルトランジスタのユニットがNユニット配置される場合は、1つのワード線を選択した時に、4Nビットのデータを同時にページバッファに読み出すことが可能になる。従って、大容量に適したセルアレイの配置にすると共に、1回のワード線選択により、同時に複数のビットの記録データ

をページバッファに読み出すことができる。【0049】そして、8個のセルトランジスタからなるユニットに対して、4回の読み出しサイクルにより、16ビットの記録データを読み出すことができる。言い換えると、8個のセルトランジスタからなるユニットを複数ユニット配置した場合でも、1本のワード線を選択しながら、4回の読み出しサイクルによって、全ての記録データをページバッファに読み出すことが可能になる。従って、読み出し動作のスループットを向上させ、読み出しサイクルを短くすることができる。

【0050】上記の4種類の読み出しサイクル(1)～(4)は、F、BL、OV、BL、Fの状態にされた隣接する5本のソース・ドレイン線からなるソース・ドレイン線群が、1つつ右側にシフトしていることが理解される。このソース・ドレイン線群内では、読み出し電圧状態のソース・ドレイン線が2本あるので、2ビットの記録データが同時に読み出される。

【0051】また、4種類の読み出しサイクルの順番は、上記の

(1)、(2)、(3)、(4)

以外にも、次の順番でも良い。

【0052】

(1)、(2)、(4)、(3)

(2)、(1)、(3)、(4)

(1)、(2)、(4)、(3)

(1)、(4)、(2)、(3)

(1)、(4)、(3)、(2)

(4)、(1)、(2)、(3)

(4)、(1)、(3)、(2)

いずれの場合も、奇数番目と偶数番目のソース・ドレイン線が読み出し電圧状態(BL)にされる読み出しサイクルが組み合わせされることが必要である。上記の変形例から理解される通り、F、BL、OV、BL、Fの状態にされた隣接する5本のソース・ドレイン線からなるソース・ドレイン線群が、適宜移動していくことで、全てのセルトランジスタのデータを読み出すことができる。

【0053】尚、ここで隣接するソース・ドレイン線とは、ソース・ドレイン領域が接続されたセルトランジスタに対して共通に接続されたソース・ドレイン線において、隣接するという意味である。従って、例えば、マト

リクス状に配置されたセルトランジスタが、1個おきに、そのソース・ドレイン領域が接続されている場合は、本実施の形態例では、その1個置きに接続されたセルトランジスタのストリングスに対して共通接続されたソース・ドレイン線群において、隣接する5本のソース・ドレイン線に対して、F、BL、OV、BL、Fの状態をシフトしていく必要がある。

【0054】図9は、本実施の形態例におけるページバッファの回路図である。図9に示したページバッファは、接続されるソース・ドレイン線SDLnを、読み出し電圧状態(BL)と、基準電圧状態(OV)と、フローティング状態(F)にする機能と、ソース・ドレイン線を介してセルトランジスタMの記録データを読み出すセンスアンプ機能と、その読み出したデータを保持するラッチ機能とを有する。図中上部に示される通り、斜め線があるトランジスタはPチャネルトランジスタ、斜め線がないトランジスタはNチャネルトランジスタを示す。

【0055】トランジスタN1は、選択信号YD1にตอบสนองして導通し、ページバッファ回路をデータバスPBOUTに接続する選択ゲートである。トランジスタN6は、ロード信号LDにตอบสนองして導通し、書き込みデータをデータバスPBOUTから入力するゲートである。また、トランジスタP2、P3、N4、N5は、読み出し時にインバータ10、12からなるラッチ回路に保持されたデータを増幅して出力するインバータ回路である。このインバータ回路は、制御信号LD、RDにตอบสนองして、トランジスタP3、N4が導通するとき、活性化される。インバータ10、12は、上記の通り、書き込みデータや読み出しデータを一次的に保持するラッチ回路である。

【0056】更に、バイアス制御信号PBIASにより定電流源となるトランジスタP9と、トランジスタN10、N11により、センスアンプ回路が構成される。更に、トランジスタN12は、導通して0Vの基準電圧状態を形成する。そして、トランジスタN13は、制御信号BLCNTRLにตอบสนองして導通し、ソース・ドレイン線SDLnをノードSNSに接続する。トランジスタN8は、プログラム時に導通して、ラッチ回路内のプログラムしたいデータに応じた電圧をソース・ドレイン線SDLnに供給する。

【0057】ソース・ドレイン線を読み出し電圧状態BL、フローティング状態F及び基準電圧状態OVにするための、主な制御信号PBIAS、BLCNTRL、DIS、PGMONの組み合わせが、図9の下側の表に示される。

【0058】次に、ページバッファ回路によるセルトランジスタMの記録データの読み出し動作について説明する。

【0059】まず始めに、制御信号LDをLレベル、RDをLレベル(又はHレベルでもよい)、YD1をLレベル(又はHレベルでもよい)、SETをLレベル、PGMONをLレベル、PBIASをHレベル、DISをLレベル、BLCNTRLをLレベルの状態にあるとする。そこで、最初のステップ



では、制御信号DISをHレベル、PGMONをHレベルにすることで、トランジスタN12とN8を導通させ、ノードAをLレベル、ノードBをHレベルにセットする。

【0060】次のステップで、制御信号PGMONをLレベルにしてトランジスタN8を非導通にし、制御信号BLCNTRLをHレベル、PBIASをLレベルにして、定電流源であるトランジスタP9とセルトランジスタMに接続されたソース・ドレイン線SDLnとを電氣的に接続する。これにより、ソース・ドレイン線SDLnは、読み出し電圧が印加された状態、即ちビット線の機能を有する状態になる。この時、セルトランジスタMの反対側のソース・ドレイン線SDLn+1には、基準電圧として0Vが印加される。

【0061】そこで、セルトランジスタMが格納しているデータは、この定電流（以下センス電流という）よりも多くの電流をセルトランジスタMが流せるか否かで判定される。セルトランジスタMが流す電流がセンス電流より多い状態を「1データ格納状態」、センス電流より少ない状態を「0データ格納状態」とする。

【0062】セルトランジスタMが「1データ格納状態」の場合、ノードSNSはLレベルになる。従って、次のステップで制御信号SETとしてHレベルのパルス信号をトランジスタN11に印加したとき、トランジスタN10はオンしないので、ノードAはLレベル、ノードBはHレベルの状態が保持される。その後、制御信号SETがLレベルにもどり、インバータ10,12からなるラッチ回路部とセンス回路部が切り離され、ラッチ回路部10,12にはノードA=Low、ノードB=Highという1データの状態が格納されていることになる。

【0063】セルトランジスタMが「0データ格納状態」の場合、ノードSNSは、定電流源トランジスタP9のセンス電流によってHレベルになる。従って、次のステップで制御信号SETとしてHレベルのパルス信号をトランジスタN11に印加したとき、検出トランジスタN10がオンするので、ノードAはHレベル、ノードBはLレベルの状態に反転される。その後、制御信号SETがLレベルに、ラッチ回路部とセンス回路部が切り離され、ラッチ回路部10,12にはノードA=High、ノードB=Lowという0データの状態が格納されていることになる。

【0064】次に、ページバッファP/Bnは、ソース・ドレイン線SDLnをフローティング状態にする場合、制御信号BLCNTRLはHレベルでもLレベルでもかまわないが、制御信号PBIASをHレベルにしてトランジスタP9を非導通にし、制御信号PGMONもLレベルにしてトランジスタN8を非導通にし、制御信号DISをLレベルにする。その結果、ソース・ドレイン線SDLnはフローティング状態になる。これにより、そのソース・ドレイン線に接続されているセルトランジスタは、隣接するセルトランジスタの読み出し動作に影響を与えることはない。

【0065】更に、ページバッファP/Bnは、ソース・ドレイン線SDLnを基準電圧状態にする場合は、制御信号DI

SをHレベルにしてトランジスタN12を導通させ、制御信号BLCNTRLをHレベルにしてトランジスタN13を導通させ、トランジスタN12、N13を介してソース・ドレイン線SDLnに0Vを印加する。

【0066】図10は、図7、8に示した4つの読み出しサイクルからなる2回のページリード動作におけるページバッファの制御信号のタイミングチャート図である。図10に示される通り、1回目のページリードは、前半と後半の読み出しサイクル（1）（2）で行われるが、その前に、ページバッファ内のセット動作が行われ、その後必要に応じてデータバスPBoutへの出力動作が行われる。セット動作と出力動作は、上述した通りである。また、2回目のページリードも同様である。尚、図6及び8に示した奇数番目のページバッファへの制御信号STPには、それぞれTP（トップ）の引用番号を与え、偶数番目のページバッファへの制御信号SBTには、それぞれBT（ボトム）の引用番号を与えている。

【0067】まず1ページ目の最初の読み出しサイクル（1）では、偶数番目のページバッファに対して、制御信号PBIAS#BT#0及びPBIAS#BT#1にあるバイアス・レベル（Lレベル）とし、制御信号DIS#BT#0及びDIS#BT#1は共にLレベル、制御信号BLCNTRL#BTをHレベルとする。これにより、偶数番目のソース・ドレイン線SDL2,SDL4,SDL6,SDL8に読み出し電圧が印加され、それらのソース・ドレイン線はビット線として機能する。

【0068】一方で、奇数番目のページバッファに対して、制御信号PBIAS#TP#0及びPBIAS#TP#1をHレベルとし、制御信号DIS#TP#0をHレベル、DIS#TP#1をLレベルとし、制御信号BLCNTRL#TPをHレベルとする。これにより、奇数番目のソース・ドレイン線の内、SDL1,SDL5,SDL9には0Vが印加されて基準電圧状態になり、SDL3,SDL7はフローティング状態となる。

【0069】この間にワード線WLをHレベルにし、上記したセンス動作の通り、セルトランジスタMが格納しているデータを判定する。次に制御信号SET#BTとしてHレベルのパルス信号を印加することで、判定したデータをページバッファP/Bn内のラッチ回路部10,12に格納する。

【0070】次に1ページ目の第2の読み出しサイクル（2）では、奇数番目のページバッファに対して、制御信号PBIAS#TP#0及びPBIAS#TP#1にあるバイアス・レベル（Lレベル）とし、制御信号DIS#TP#0及びDIS#TP#1をLレベル、制御信号BLCNTRL#TP=Highとする。これにより、奇数番目のソース・ドレイン線SDL1,SDL3,SDL5,SDL7,SDL9には読み出し電圧が印加され、それらのソース・ドレイン線は、ビット線として機能する。

【0071】但し、実際の動作ではソース・ドレイン線SDL9に接続されたページバッファに格納されるデータは、ガーベッジ・データとなるので使用されない。従って、ソース・ドレイン線SDL9はフローティング状態にし

てもよい。但し、セルトランジスタが8個以上行方向に配置される場合は、ソース・ドレイン線SDL9をビット線として機能させることが望ましい。

【0072】一方で、偶数番目のページバッファに対して、制御信号PBIAS#BT#0及びPBIAS#BT#1をHレベルとし、制御信号DIS#BT#0をHレベル、DIS#BT#1をLレベルとし、制御信号BLCNTRL#BTをHレベルとする。これにより、偶数番目のソース・ドレイン線の内、SDL2,SDL6は0Vが印加されて基準電圧状態になり、SDL4,SDL8はフ

ローティング状態となる。

【0073】この間にワード線WLをHレベルとし、セルトランジスタが格納しているデータを判定する。次に、制御信号SET#TPとしてHレベルのパルス信号をトランジスタN11に与えることで、判定したデータをページバッファのラッチ回路部に格納する。

【0074】以上の2回の読み出しサイクルで、1ページ目のデータ（ここでは8ビット）が上下の8個のページバッファ内にラッチされる。その後、ページバッファ選択信号YD1をHレベルにする等により、ラッチされたデータを出力バスPBoutに出力する。

【0075】上記の様に、必要に応じて1ページ目のデータを各ページバッファから外部へ読み出した後、必要ならば2ページ目のデータを読み出す作業に入る。2ページ目のデータの読み出しを少し詳しく説明する。

【0076】まず2ページ目の第1の読み出しサイクル（3）では、偶数番目のページバッファに対して、制御信号PBIAS#BT#0及びPBIAS#BT#1をあるバイアス・レベルとし、制御信号DIS#BT#0及びDIS#BT#1はLレベル、制御信号BLCNTRL#BTはHレベルとする。これにより、偶数番目のソース・ドレイン線SDL2,SDL4,SDL6,SDL8に読み出し電圧が印加され、それらのソース・ドレイン線はビット線として機能する。

【0077】一方で、奇数番目のページバッファに対して、制御信号PBIAS#TP#0及びPBIAS#TP#1をHレベルとし、制御信号DIS#TP#0をLレベル、DIS#TP#1をHレベルとし、制御信号BLCNTRL#TPをHレベルとする。これにより、奇数番目のソース・ドレイン線の内、SDL3,SDL7は0Vが印加され、SDL1,SDL5,SDL9はフローティング状態となる。この間にワード線をHレベルとし、セルトランジスタMが格納しているデータを判定して、ラッチ回路部に格納する。

【0078】次に、2ページ目の第2の読み出しサイクル（4）では、奇数番目のページバッファに対して、制御信号PBIAS#TP#0及びPBIAS#TP#1をあるバイアス・レベルとし、制御信号DIS#TP#0及びDIS#TP#1をLレベル、制御信号BLCNTRL#TPをHレベルとする。これにより、奇数番目のソース・ドレイン線SDL1,SDL3,SDL5,SDL7,SDL9がビット線として機能する。但し、実際の動作ではソース・ドレイン線SDL1に接続されたページバッファに格納されるデータは、ガーベッジ・データとなり使用され

ない。従って、SDL1はフローティングにしてもよい。但し、読み出しサイクル（2）の場合と同様の理由で、ソース・ドレイン線SDL1は、ビット線として利用するのが望ましい。

【0079】一方で、偶数番目のページバッファに対して、制御信号PBIAS#BT#0及びPBIAS#BT#1をHレベルとしてトランジスタN9を非導通にし、制御信号DIS#BT#0をLレベル、DIS#BT#1をHレベルとし、制御信号BLCNTRL#BTをHレベルとする。これにより、ソース・ドレイン線SDL4及びSDL8は基準電圧0Vが印加され、ソース・ドレイン線SDL2及びSDL6はフローティング状態となる。この状態で、ワード線をHレベルにし、セルトランジスタMが格納しているデータを判定し、ラッチ回路部に格納する。

【0080】その後、2回目のページリードでラッチした8ビットのデータが、適宜出力データバスPBoutに出力される。

【0081】上記の実施の形態例では、1本のワード線に8個のセルトランジスタが隣接して接続された例で説明した。しかしながら、本発明はそれに限定されず、更に多くのセルトランジスタが1本のワード線に接続される場合でも、ワード線のHレベルへの駆動時において、1回の読み出しサイクルで、複数ビットのデータを同時にページバッファに読み出すことができる。そして、複数回の読み出しサイクルを経ることで、全てのデータを読み出すことができる。その場合、隣接するソース・ドレイン線の状態は、F、BL、0V、BL、Fの組み合わせが読み出しサイクル毎にシフトする、或いは変化するように制御する。この5本のソース・ドレイン線の状態にすることで、4個のセルトランジスタからなるユニット内から、2ビットのデータを同時に読み出すことができる。隣接するとは、既に述べた通り、ソース・ドレイン領域が互いに接続されたセルトランジスタのストリングスに対して設けられたソース・ドレイン線に対して隣接するとの意味である。

【0082】以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0083】

【発明の効果】以上、本発明によれば、非導電性のトラップゲートを有するセルトランジスタからなる不揮発性メモリ回路において、1回の読み出し動作で複数のデータを同時に読み出すことができるので、読み出しのスループットを向上させることができる。

【図面の簡単な説明】

【図1】2ビット不揮発性メモリのセルトランジスタの構成を示す図である。

【図2】2ビット不揮発性メモリのプログラム、消去及び読み出しを説明するための図である。

【図3】2ビット不揮発性メモリの2ビット情報を記録

した状態を示す図である。

【図4】従来のメモリセルアレイの構成を示す図である。

【図5】図4の動作を説明する図表である。

【図6】本実施の形態例のセルアレイ構成図である。

【図7】読み出し時におけるソース・ドレイン線の電圧状態を示す図表である。

【図8】読み出し時におけるセルアレイの動作を説明する図である。

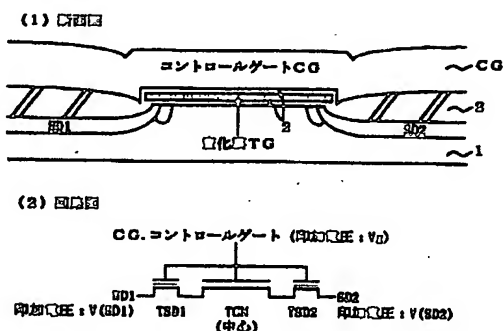
【図9】本実施の形態例におけるページバッファの回路 10 図である。

【図10】ページバッファの制御信号のタイミングチャート図である。

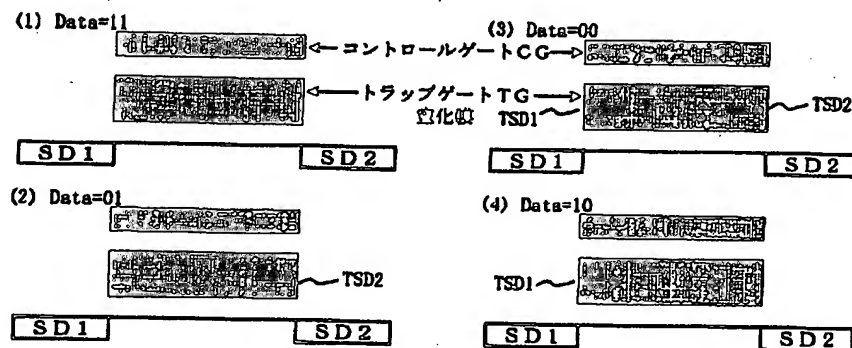
# 【符号の説明】

M	セルトランジスタ
CG	コントロールゲート
TG	トラップゲート
SD1, SD2	ソース・ドレイン領域
SDL	ソース・ドレイン線
P/B	ページバッファ
WL	ワード線
PBout	出力データバス
BL	読み出し電圧状態
F	フローティング状態
0V	基準電圧状態

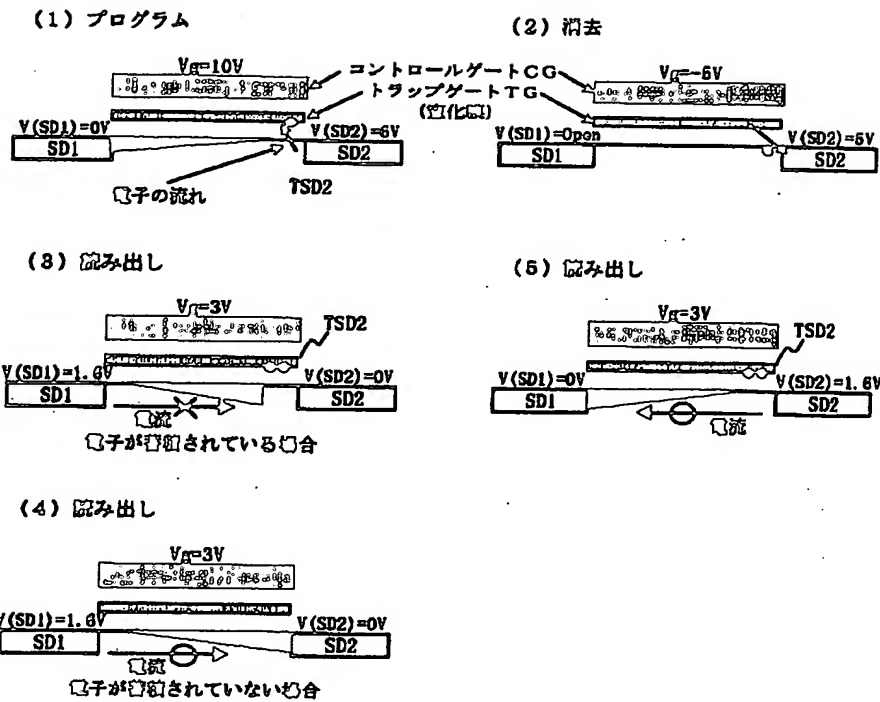
【図1】



【図3】



【図2】



【図5】

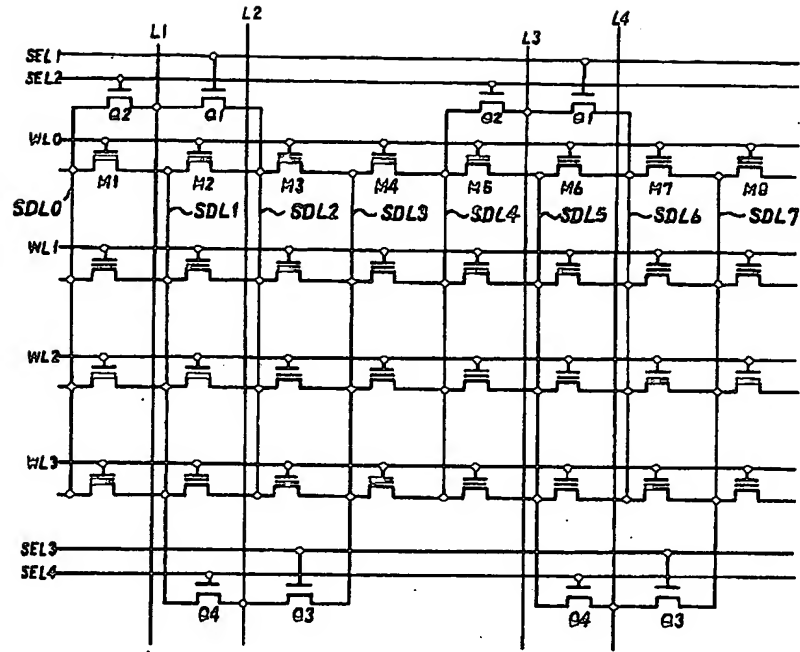
図4の動作

	SEL1	SEL2	SEL3	SEL4	L1	L2	L3	L4
To select M1	Low	High	Low	High	BL	0v	70-70V	70-70V
	Low	High	Low	High	0v	BL	70-70V	70-70V
To select M2	High	Low	Low	High	BL	0v	70-70V	70-70V
	High	Low	Low	High	0v	BL	70-70V	70-70V
To select M3	High	Low	High	Low	BL	0v	70-70V	70-70V
	High	Low	High	Low	0v	BL	70-70V	70-70V
To select M4	Low	High	High	Low	70-70V	BL	0v	70-70V
	Low	High	High	Low	70-70V	0v	BL	70-70V

BL: ビット線

【図4】

従来例



【図7】

ノースライン系SDLの動作状況

ワードライン	データ	DL1	DL2	DL3	DL4	DL5	DL6	DL7	DL8	DL9	アクセスセルアドレス
(1) 1ワードライン (DL1)	DL1	DL	P	BL	DL	P	DL	P	DL	P	M1(SD1), M4(SD2), M5(SD1), M8(SD2)
(2) 2ワードライン (DL2)	DL2	DL	DL	DL	F	DL	DL	F	F	F	M1(SD2), M2(SD1), M5(SD2), M6(SD1)
(3) 3ワードライン (DL3)	F	DL	DL	DL	F	DL	DL	F	DL	F	M2(SD2), M3(SD1), M6(SD2), M7(SD1)
(4) 4ワードライン (DL4)	F	P	DL	DL	BL	F	DL	DL	BL	BL	M3(SD2), M4(SD1), M7(SD2), M8(SD1)

DL: 1ワードライン, DL2: 2ワードライン (16V)

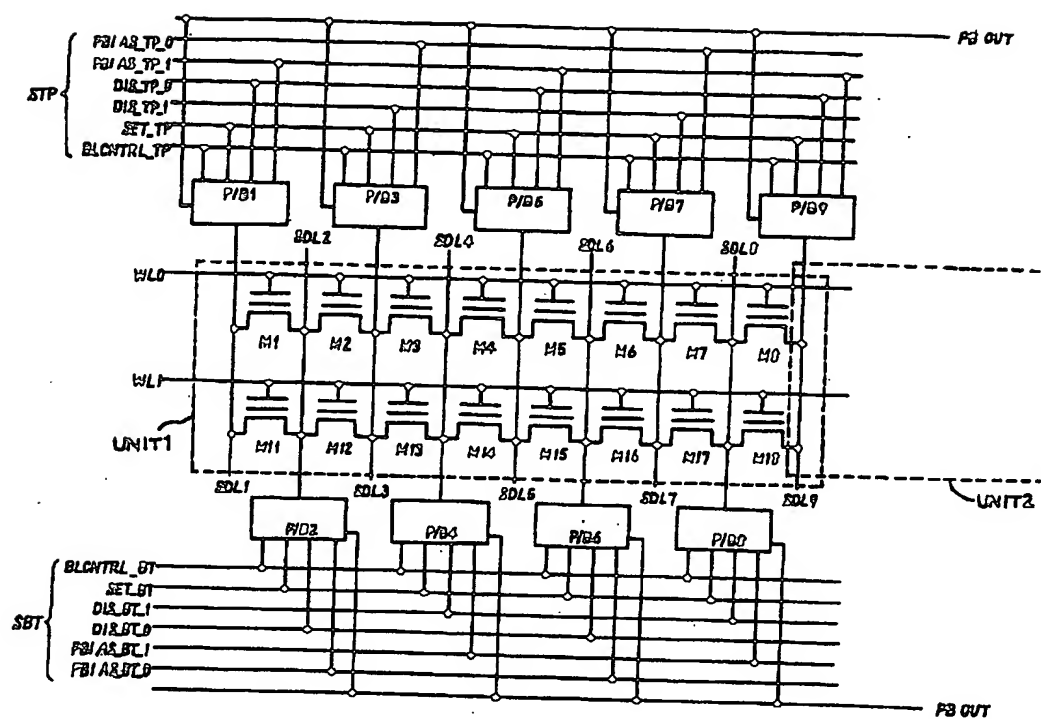
P: プリロード電圧

BL: 1ワードライン (7V, 15V)

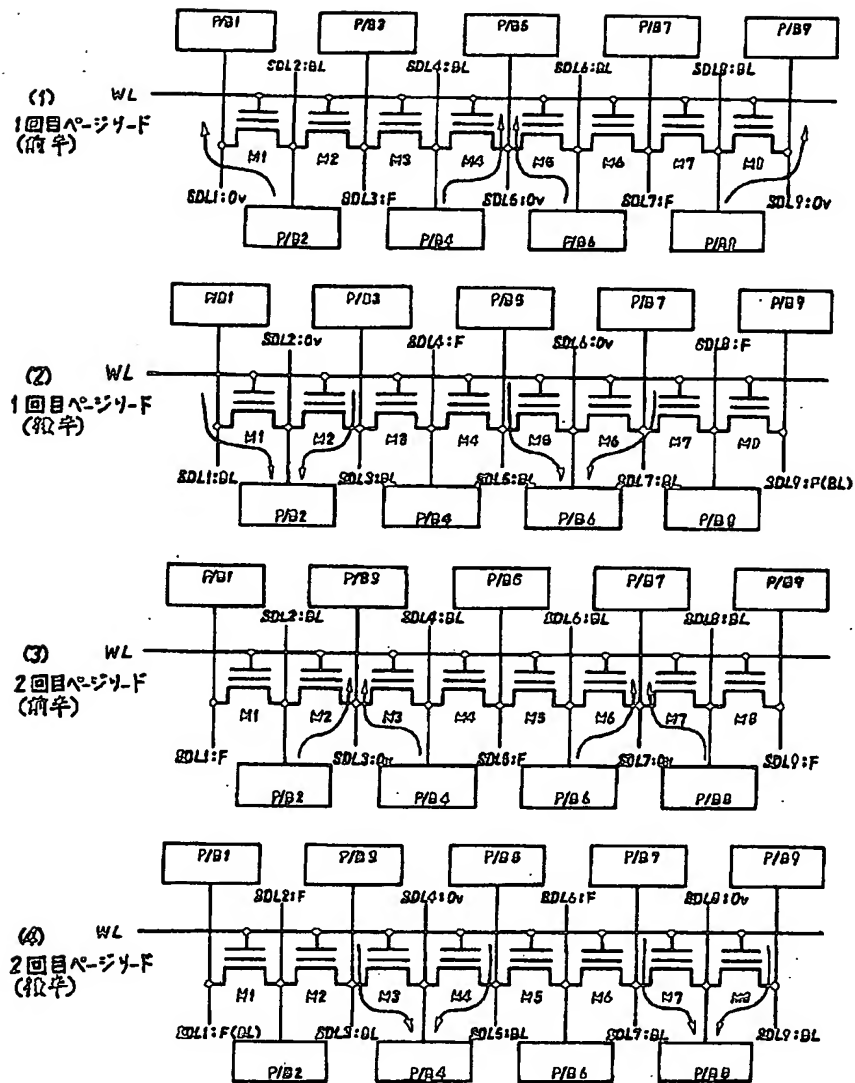


【図6】

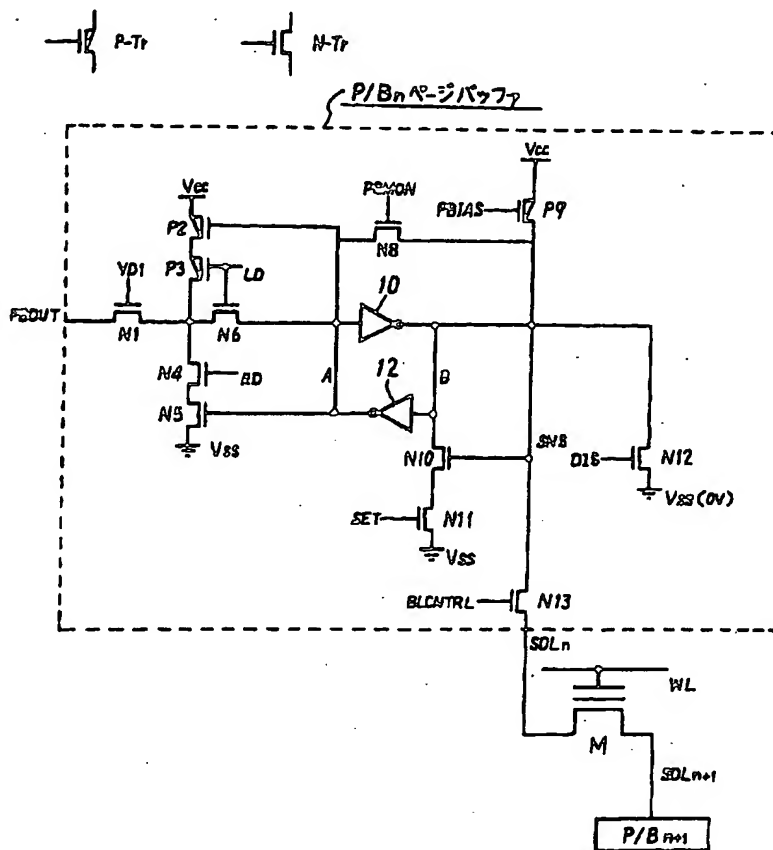
実施の形態例のセルアレイ構成図



【図8】



ページバッファ P/B の回路図



	PBIAS	BLCNTRL	DIS	PSMON
BL	L	H	L	L
F	H	-(H/L)	L	L
OV	H	H	H	L

ページバッファの制御信号のタイミングチャート

